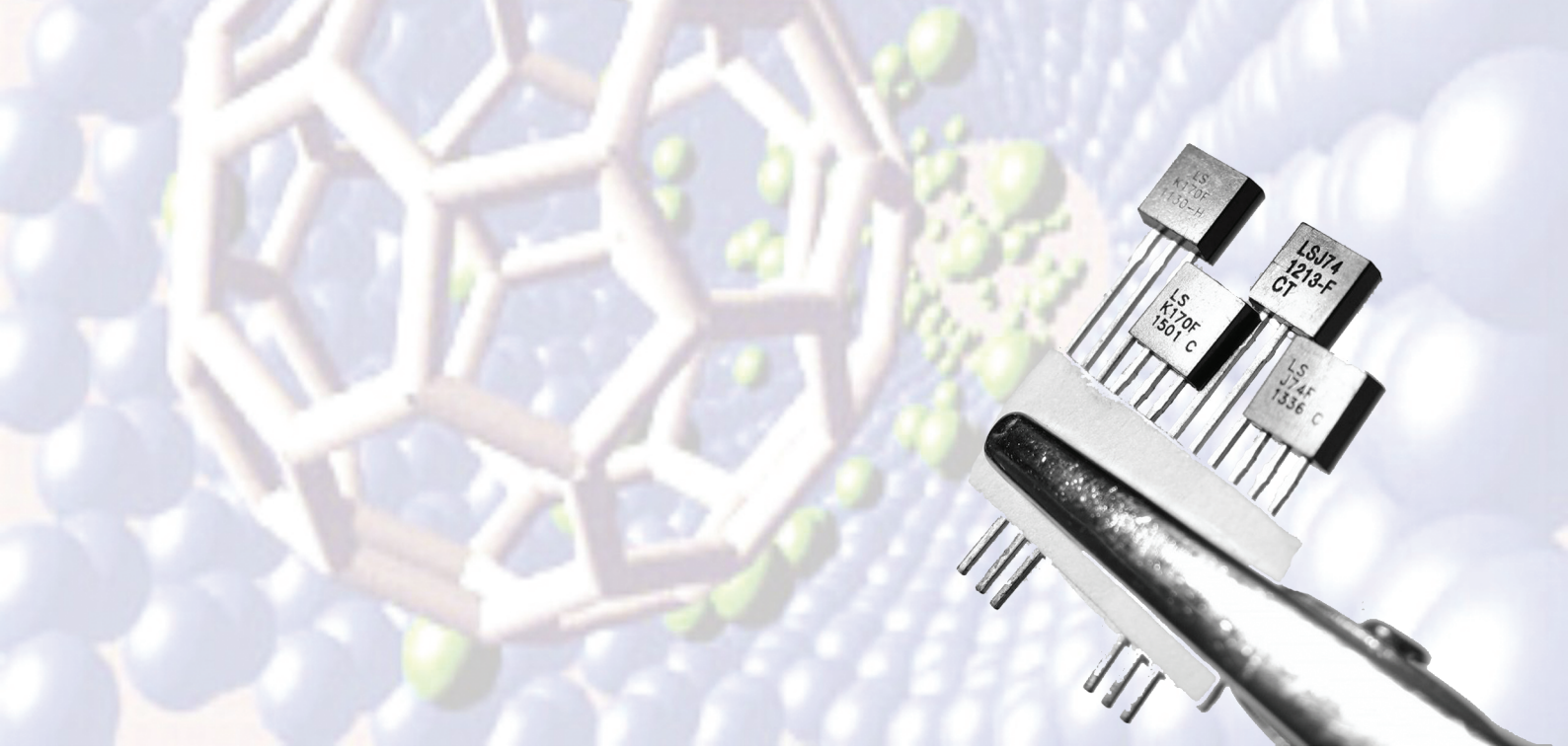


مقاله علمی-ترویجی

شبیه سازی ناپایداری ولتاژ آستانه (دریفت) در ترانزیستورهای اثر میدانی حساس به یون (ISFET) با گیت Al_2O_3 و تصحیح به روش کاشت یون

علی الیاسی/ گروه برق دانشکده فنی مهندسی/واحد ساوه/دانشگاه آزاد اسلامی/ساوه – ایران/ Alielyasi@iau-saveh.ac.ir

شهریار جاماسب*/گروه مهندسی پزشکی/ دانشگاه صنعتی همدان/همدان-ایران/ jamasb@hut.ac.ir

*نویسنده مسوول

چکیده

ناپایداری ولتاژ آستانه یا دریفت در یک ترانزیستور اثر میدانی حساس به یون (ISFET) به‌صورت یک تغییر زمانی یکسویه به نسبت کند در ولتاژ آستانه و در نتیجه در جریان درین پدیدار می‌شود که در غیاب نوسانات غلظت یون داده در محلول رخ می‌دهد. در این مقاله ساختار قطعه ISFET و ناپایداری ولتاژ آستانه بر اساس داده های تجربی و با استفاده از یک مدل فیزیکی برای دریفت با نرم افزار سیلواکو شبیه سازی شده است. علاوه بر این کاشت یونی به عنوان روشی برای خنثی کردن ناپایداری در ISFET معرفی شده است. این روش مبتنی بر تنظیم ولتاژ آستانه از طریق میزان کردن چگالی بار در لایه واسط نیمه هادی-عایق با استفاده از کاشت یونی است، چنان‌که بار الکتریکی خالص القا شده در نیمرسانا تا حد ممکن خنثی شود. روش پیشنهادی بصورت تحلیلی توجیه شده و بر اساس مشخصه‌یابی و مدلسازی فیزیکی دریفت در یکISFET حساس به pH با عایق گیتی از جنس اکسیدآلومینیوم (Al2O3) تائید شده است. خنثی‌سازی دریفت در ISFET با استفاده از کاشت یونی همچنین به کمک شبیه‌سازیTCAD نشان داده شده است.

کلمات کلیدی: دریفت، کاشت یونی، ناپایداری، ISFET .

Simulation Threshold Voltage instability (Drift) in Ion selective Field Effect Transistor(ISFET) with Al_2O_3 Gate and Correct using Ion Implantation

Ali Elyasi/Department of Electronic/ College of Engineering/ Saveh Branch/ Islamic Azad University/ Saveh, Iran/ alielyasi@iau-saveh.ac.ir

Shahriar Jamasb*/ Department of Biomedical Engineering/ Hamedan University of Technology/ Hamedan/ 65169, Iran/ jamasb@hut.ac.ir

*corresponding author

Abstract

In an ion-selective field effect transistors (ISFETs) Threshold-voltage instability or drift is manifested as a relatively slow, monotonic, temporal increase in the threshold voltage, and hence, in the drain current in absence of variations in the concentration of the given ion. In this work the ISFET device structure is modeled using Silvaco TCAD allowing simulation of the threshold voltage instability using the Silvaco's

ATLAS software based on a physical model for ISFET drift accounting for experimental drift data. In addition, ion implantation is introduced as a method for counteracting drift. This method is based on adjusting the threshold voltage by tuning the charge density at the insulator-semiconductor interface using ion implantation such that the net charge induced in the semiconductor at the operating point of the device is neutralized. The proposed method is analytically validated based on characterization and modeling of drift in an Al2O3-gate pH-sensitive ISFET. Counteraction of ISFET drift by ion implantation is also demonstrated using TCAD simulations.

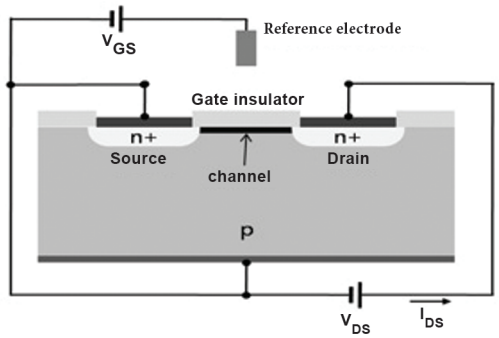
Keywords: Drift, Ion Implantation, ISFET, Instability

۱- مقدمه

پیت برگولد ترانزیستور اثر میدانی حساس به یون(ISFET) را در سال ۱۹۷۰ برای سنجش‌های فیزیولوژی عصبی معرفی نمود[۱].

در ترانزیستور اثر میدان حساس به یون (ISFET) عایق‌گیت (FET حساس به یون هیدروژن یا pH-ISFET) و یا غشای حساس به یون که بر روی عایق گیت قرار می‌گیرد (شکل ۱) مانند غشاء حساس به یون پتاسیم به وجود یون حساسیت نشان می‌دهد و امکان اندازه‌گیری تغییرات کمی غلظت یون مورد نظر را بر حسب تغییرات رسانایی کانال FET می‌دهد.

در مقایسه با ترانزیستور MOSFET، در ترانزیستور ISFET گیت فلزی وجود ندارد. در ISFETهای حساس به حضور یون هیدروژن در محلول الکترولیت، جذب هیدروژن روی سطح عایق گیت (برای مثال نیترید سیلیسیوم یا اکسید آلومینیوم) که با الکترود در تماس است سبب مدوله شدن ولتاژ آستانه FET با تغییرات غلظت یون هیدروژن می‌شود.

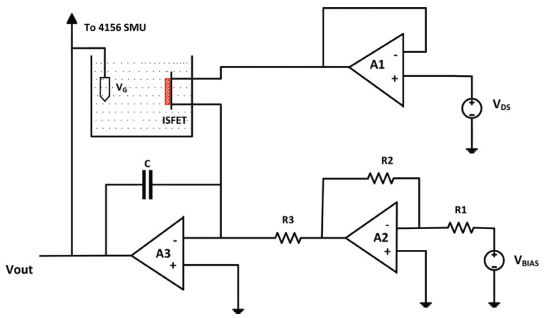


شکل ۱: ساختار ترانزیستور ISFET در مد فیدبک

دقت بالای مورد نیاز برای بازبینی پیوسته pH خون، به‌طور مشخص محدودیت اکیدی را برای نرخ قابل تحمل دریفت در pH-ISFET ایجاب می‌کند. به‌عنوان مثال در بازبینی پیوسته pH خون در طی جراحی، بیشترین خطای قابل تحمل معادل ۰/۰۲ واحد pH در طول ۱۰ ساعت بدون نیاز به کالیبراسیون است[۲]. چنین دقتی میانگین نرخ قابل تحمل دریفت در ISFET را به pH/hour ۰.۰۰۲ محدود می‌سازد. با فرض آنکه ISFET پاسخ ایده‌آل نرنستی به نمایش بگذارد، حساسیت قطعه در دمای اتاق برابر با ۵۹ mVolts/pH خواهد بود، از این‌رو بیشترین خطا برابر با pH/hour ۰.۰۰۲ نیازمند بیشترین نرخ دریفت قابل تحمل به میزان (۵۹mV/pH)×(۰,۰۰۲pH/hour) می‌باشد که معادل ۰.۱۲ mV/hour است. مقدار نوعی نرخ دریفت اولیه در یک pH-ISFET پس از قرار گرفتن سطح حسگر در معرض یک محلول آبی به مدت چندین ساعت در حدود ۱ mV/hour می‌باشد، در حالی که نرخ دریفت در دراز مدت از ۰.۱ mV/hour تجاوز نمی‌کند [۳]. از این‌رو در حال حاضر فن‌آوری ساخت قطعات ISFET و همچنین روش‌های کاهش دریفت امکان دستیابی به نرخ‌های دریفت پایین مورد نیاز برای بازبینی پیوسته pH خون در داخل بدن را فراهم نمی‌کند[۹]-[۴].

۲-عملکرد ISFET در مد فیدبک

عملکرد ISFET به این صورت است که جریان درین برای ISFET مطابق شکل (۲) ثابت نگه داشته می‌شود که به‌وسیله ولتاژ اعمالی به گیت از طریق دو اتصال از نوع الکترود مرجع غوطه‌ور در محلول بافر انجام می‌شود.



شکل۲ : مدار استفاده شده برای بیان دریفت ISFET

با استفاده از فیدبک منفی، جریان درین ISFET، I_D و ولتاژ V_{DS}، بدون بایاس بدنه V_{SB} در یک مقدار، ثابت نگه داشته می‌شود. یک تغییر کوچک در جریان درین dI_{DS} (ناشی از تغییر در محلول و یا دریفت) باعث تغییر در $dV_G=dV_{out}=g_m dI_D$ در خروجی آپامپ A_3 شده که در برگشت منجر به تغییر برابر در ورودی آپامپ A_3 می‌شود. در حالی‌که سورس ISFET در زمین واقعی می‌باشد جریان درین توسط منابع dc ولتاژ V_{DS} تعیین می‌شود و V_{BIAS} ثابت نگه داشته می‌شود. خروجی آپامپ A_3 که از ولتاژ فیدبک اعمالی به الکترود مرجع متصل شده است به‌طور مستقیم خوانده شده و توسط معادله نرنست به محلول مرتبط می‌شود.

در این حالت یک نقطه بایاس ثابت به‌صورت اتوماتیک برای مشخصه I_D-V_G ثابت نگه داشته می‌شود و فیدبک منفی به الکترود مرجع اعمال می‌شود. در این وضعیت معادله جریان درین در ناحیه خطی به‌صورت زیر می‌باشد:

$$I_D = \mu C_I \frac{W_{eff}}{L_{eff}} \{ \left[V_{GS} - \left(E_{ref} - \psi_0 + \chi^{sol} + \frac{\Phi_{semi}}{q} - \frac{Q_I}{C_I} - \frac{Q_D}{C_I} + 2\phi_f \right) \right] V_{DS} - \frac{1}{2} V_{DS}^2 \} \quad (۱)$$

که V_{GS} و V_{DS} ولتاژهای اعمالی به الکترود مرجع و الکترود درین هستند و الکترود سورس به زمین متصل شده است. W_{eff} و L_{eff} طول و عرض موثر قطعه، μ تحرک حامل‌ها، C_I خازن عایق، E_{ref} مشخصه پتانسیل الکترود مرجع، $\psi 0$ پتانسیل سطح وابسته به غلظت، χ^{sol}

پتانسیل دوقطبی سطح محلول، Φ_{semi} تابع کار نیمه هادی، Q_D بار ذخیره شده در لایه تخلیه نیمه هادی، Q_I بار موثر در واحد سطح که در نیمه هادی و توسط انواع مختلف بار که ممکن است در عایق باشند تحریک می‌شود، ϕ_f پتانسیل فرمی که توسط غلظت ناخالصی بدنه تعیین می‌شود و q بار الکترون است.
از معادله (۱) مشهود است که جریان درین در صورتی ثابت نگه داشته می‌شود که:

$$d\psi_0(pH) = -dV_{GS} = dV_{out} \quad (۲)$$

فرض می‌شود که بقیه پارامترها ثابت هستند.
اگر چه هنگامی که از فیدبک منفی استفاده می‌شود به جریان درین ثابت اجازه داده می‌شود تا به‌صورت اتوماتیک تغییر دیفرانسیلی در ولتاژ خروجی dV_{out} داشته باشد که توسط $g_m dI_D$ انجام می‌شود و dI_D معادل تغییر تفاضلی در جریان درین و ناشی از تغییر در محلول یا دریفت است. نهایتا در pH-ISFET پتانسیل سطح وابسته به غلظت ψ_0 در مد نرنست رفتار زیر را دارد:

$$\frac{d\psi_0}{dpH} = -\ln(10)\frac{kT}{q} \quad (۳)$$

که K ثابت بولتزمن، T دمای مطلق می‌باشد و بنابراین خروجی این مدار اندازه‌گیری می‌تواند به‌طور مستقیم خوانده شود و تغییرات در pH را ارزیابی کند.

۳- دریفت

در یک ISFET که در مد فیدبک عمل می‌کند جریان درین با اعمال یک ولتاژ فیدبک جبران کننده (از طریق الکترود مرجع) به محلول الکترولیتی ثابت نگاه داشته می‌شود. بنابراین تغییر زمانی در ظرفیت خازنی عایق ناشی از قرار گرفتن در معرض محلول الکترولیتی منجر به دریفت در ولتاژ فیدبک جبران کننده می‌شود[۱۰]. تغییر ولتاژ گیت را می‌توان به‌صورت زیر نوشت:

$$\Delta V_G(t) = V_G(t) - V_G(0) \quad (۴)$$

و با توجه به ثابت بودن افت ولتاژ در داخل نیمه هادی در حالت فیدبک که در آن V_{FB} ولتاژ نوار تخت و از رابطه زیر بدست می‌آید:

$$\Delta V_G(t) = [V_{FB}(t) - V_{FB}(0)] + [V_{ins}(t) - V_{ins}(0)] \quad (۵)$$

$$V_{FB} = E_{ref} - \psi_0 + \chi^{sol} + \frac{\Phi_{semi}}{q} - \frac{Q_I}{C_I} \quad (۶)$$

و V_{ins}، افت ولتاژ در سرتاسر عایق که برابر است با:

$$V_{ins} = \frac{-(Q_D - Q_{inv})}{C_I} \quad (۷)$$

در رابطه بالا Q_D برابر با بار ذخیره شده در لایه‌ی تخلیه نیمه‌هادی و Q_{inv} برابر با بار ذخیره شده در ناحیه‌ی وارونگی می‌باشد و حال اگر PH و درجه حرارت و قدرت یونی ثابت باشد، با قرار دادن رابطه (۶) و (۷) در رابطه (۵)، پارامترهای Φ_{semi}, ψ_0, E_{ref} و χ^{sol} حذف شده و رابطه (۵) را دوباره بازنویسی می‌کنیم:

$$\Delta V_G(t) = -(Q_D + Q_I + Q_{inv})[\frac{1}{C_I(t)} - \frac{1}{C_I(0)}] \quad (۸)$$

برای یک ISFET که از دو لایه دی‌الکتریک که لایه پایینی از SiO_2 با ضخامت x_o و لایه بالایی از جنس Al_2O_3 با ضخامت x_n تشکیل شده است، که CI(0) شامل خازن‌های سری شده در ناحیه اکسید εo/xo و خازن اکسید آلومینیوم اولیه εn/xn می‌باشد و CI(t) نیز شامل سه خازن سری شده ناحیه اکسید εo/xo ، خازن ناحیه آب پوشی شده εHL/xHL(t) و خازن اکسید آلومینیوم باقیمانده εn/(xn-xHL(t)) که εo، εn و xHL به ترتیب دی الکتریک لایه اکسید، لایه اکسیدآلومینیوم و ضخامت لایه آب پوشی شده می‌باشند. پس به بیان ساده داریم:

$$\Delta V_G(t) = -(Q_D + Q_I + Q_{inv})(\frac{\varepsilon_n - \varepsilon_{HL}}{\varepsilon_{HL}\varepsilon_n})x_{HL} \quad (۹)$$

همان‌طورکه بیان شد دریفت به‌طورمستقیم متناسب است با ضخامت لایه آبپوشی شده، بنابراین زمان دریفت به رُشد این لایه وابستگی دارد.
ضخامت لایه آب پوشی شده با استفاده از قانون فیک و توسط نسبت شار به‌صورت زیر بیان می‌شود[۱۰]:

$$x_{HL}(t) = x_{HL}(\infty)\{1 - \exp[-(\frac{t}{\tau})^{\beta}]\} \quad (۱۰)$$

با جایگذاری معادله (۱۰) در رابطه (۹) ولتاژ دریفت گیت به بیان کلی، بدین صورت بدست می‌آید:

$$\Delta V_G(t) = -(Q_D + Q_I + Q_{inv})(\frac{\varepsilon_n - \varepsilon_{HL}}{\varepsilon_{HL}\varepsilon_n})x_{HL}(\infty)\{1 - \exp[-(\frac{t}{\tau})^{\beta}]\} \quad (۱۱)$$

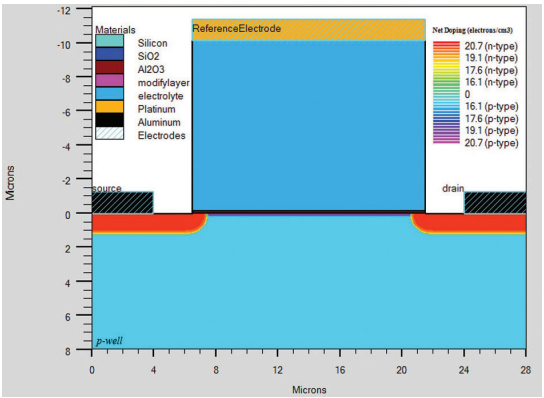
۴- مشخصات فیزیکی قطعه

برای مطالعه رفتار دریفت از ترانزیستور ISFET کانال n که توسط جاماسب و همکاران[۱۰] ساخته شده، استفاده می‌شود. از فرآیند استاندارد CMOS گیت فلزی برای ساخت استفاده شده است. از ویفر سیلیکونی نوع n در جهت <۱۰۰> با مقاومت ۴-۶Ω-cm به عنوان ماده زیر لایه در چاه p استفاده شده است، ناخالصی بور با غلظت 10^{16} cm^{-3} در زیر لایه می‌باشد. نواحی سورس و درین با نفوذ فسفر به غلظت 10^{19} cm^{-3} و در عمق اتصال ۱.۱۵ µm ساخته شدند. طول کانال و عرض گیت ISFET مقدار ۱۵ µm و ۴۵۰ µm می‌باشد.
گسترش سورس و درین در طول کانال ترانزیستور، ۵۰۰µm هستند. دو لایه عایق شامل یک لایه ۵۰ nm از SiO_2 رشد یافته در حرارت که در بالای آن یک لایه ۶۵ nm از Al_2O_3 قرار دارد که با رسوب بخار شیمیایی استاندارد رسوب می‌کند.
مشخصات دریفت ISFET با گیت Al_2O_3 و کانال n، مطابق با فرآیند معرفی‌شده در بالا اندازه‌گیری شد. مقادیر دریفت در دمای اتاق در حالت فیدبک و با استفاده از مدار شکل (۲) بدست آمد، مطابق شکل (۲) برای داشتن یک جریان درین ثابت، یک ولتاژ فیدبک به الکترولیت اعمال می‌شود. جریان درین ثابت ۱۰۰ µA با استفاده از یک ولتاژ درین به سورس و با باياس بدنه صفر تنظیم می‌شود.

۵-شبیه‌سازی قطعه و دریفت

رفتار دریفت ISFET با استفاده از TCAD برای ارزیابی روش پیشنهادی جبران دریفت در این مقاله شبیه‌سازی شد. به‌طور خاص، با استفاده از اطلس silvaco، ابتدا یک MOSFET با کانال N بدون گیت فلزی شبیه‌سازی شد که سطح مقطع و ابعاد یکسانی با ISFET ساخته‌شده داشت. ساختار الکترولیت - عایق با استفاده از روش ارایه شده توسط چونگ و همکاران[۱۱] شبیه‌سازی شد. از آنجایی در که نرم‌افزار اطلس، شبیه‌سازی مستقیم الکترولیت را پشتیبانی نمی‌کند، محلول یونی در تماس با عایق به‌عنوان یک نیمه‌هادی ذاتی که دارای ثابت دی‌الکتریک نسبی برابر با آب است، تعریف شد (ε_r=80).
برای یک الکترولیت ۱ : ۱ مانند کلرید پتاسیم (KCl) توزیع بار در

لایه دوگانه الکتریکی معادله پواسون–بولتزمن را می‌توان با استفاده از معادله پواسون بیان کرد که توزیع بار را توصیف می‌کند[۱۱]. در نیمه‌هادی ذاتی دو معادله تحت شرایطی هستند که اجازه توزیع Fermi-Dirac برای الکترون‌ها و حفره‌ها را می‌دهد تا با استفاده از توزیع ماکسول-بولتزمن تخمین زده شوند. شکاف انرژی نواری را ۱.۵ eV برای نیمه هادی ذاتی قرار داده و به‌منظور مشخص کردن غلظت یونی چگالی حالات مجاز برای نیمه‌هادی ذاتی، چگالی حفره‌ها و الکترون‌ها را برابر با غلظت مولار یون‌های مثبت و منفی در محلول در نظر می‌گیریم. در ادامه روشی که توسط چونگ و همکاران[۱۱] معرفی شد، الکترون‌خواهی (χe) نیمه‌هادی ذاتی طوری تعیین شد تا یک تناسب خوب بین مقادیر شبیه‌سازی شده و اندازه‌گیری شده بدست آید. مقطعی از ترانزیستور شبیه‌سازی شده در شکل (۳) نشان‌داده شده است که پروفایل ناخالصی در قالب کدگذاری شده را نشان می‌دهد. همان‌طورکه نشان داده شده، پلاتین به‌عنوان الکترود مرجع مورد استفاده قرار گرفت.



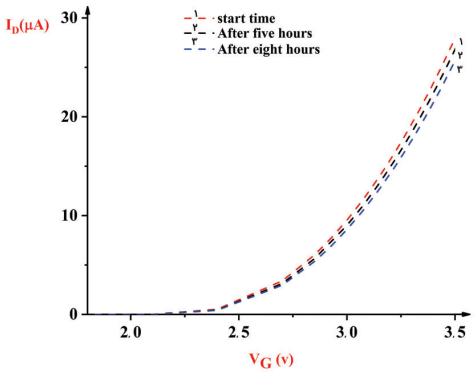
شکل ۳ : ترانزیستور شبیه‌سازی شده با سیلواکو

جهت شبیه‌سازی پدیده دریفت با استفاده از رابطه (۱۰) ضخامت لایه آب‌پوشی شده را برای ساعات مختلف بدست آوردیم که جدول(۱) این مقادیر را نشان می‌دهد.

جدول ۱: مقادیر لایه ها در ساعات مختلف

زمان (ساعت)	ضخامت لایه Al_2O_3(آنگستروم)	ضخامت لایهModifylayer(آنگستروم)
۱	۱۰۹۱,۴	۴,۵۵
۲	۱۰۸۶,۹۸	۵,۸۱
۳	۱۰۸۳,۵۲	۶,۶۴
۴	۱۰۸۰,۷۹	۷,۲۷
۵	۱۰۷۸,۱۶	۷,۷۵
۶	۱۰۷۵,۸۵	۸,۱۶
۷	۱۰۷۳,۹	۸,۴۷
۸	۱۰۷۱,۹	۸,۸۰
۹	۱۰۷۰	۹,۰۷
۱۰	۱۰۶۹	۹,۳۱

با مقادیر بدست آمده، لایه اکسیدآلومینیوم و لایه آب‌پوشی شده را در قطعه شبیه‌سازی شده با نرم‌افزار سیلواکو قرار داده و برای هر مقدار مشخصه جریان درین-ولتاژ گیت را بدست می‌آوریم.
پس از شبیه‌سازی کامل قطعه ISFET که با مدل نمودن محلول، قرار دادن فلز پلاتین به‌عنوان الکترود مرجع، شبیه‌سازی لایه آب‌دیده و لحاظ نمودن تمامی موارد تاثیرگذار بر این قطعه کامل می‌شود جهت مشاهده دریفت ولتاژ آستانه مشخصه جریان درین– ولتاژ گیت قطعه را بدست می آوریم. در مشخصه نمودار(۱) مشاهده می‌شود که با گذشت زمان و تغییر لایه آب‌دیده و لایه حساس به یون، ولتاژ آستانه تغییر کرده و دریفت اتفاق می‌افتد.



نمودار ۱: تغییر ولتاژ آستانه(دریفت) با گذشت زمان

۶- کاهش دریفت از طریق تنظیم میزان بار الکتریکی

مدل فیزیکی برای دریفتISFET نشان می‌دهد که با محدود کردن بار نیمه‌هادی خالص با نزدیک شدن به صفر می‌توان دریفت را کاهش داد. به‌طور ایده‌آل، به منظور از بین بردن دریفت ولتاژ، چگالی بار نیمه‌هادی خالص، Q_S باید برابر با صفر تنظیم شود. این کار را می‌توان به سادگی با تنظیم چگالی بار واسط با استفاده از کاشت یونی انجام داد. اگر مقادیر Q_I و Q_{inv} داده شوند چگالی بهینه بار تخلیه با تنظیم کاشت، Q_D را می توان براساس رابطه زیر برای صفر کردن بار در نیمه‌رسانا محاسبه کرد.

$$Q_D + Q_I + Q_{inv} = 0 \qquad (۱۲)$$

مقدار بهینه کاشت می‌تواند با استفاده از مقدار حاصله برای چگالی بار لایه تخلیه تخمین زده شود. به منظور تعیین تاثیر کاشت در چگالی بار فضایی، توزیع ناخالصی کاشته شده پس از مرحله پخت ممکن است با توزیع بسته تقریب زده شود که در آن چگالی ناخالصی مقدار ثابت N_{di} از سطح تا عمق x_i دارای مقدار ثابت فرض می‌شود. مقدار کاشت N' در cm^{-2} نشان‌دهنده آن است که توسط رابطه $N' = N_{di} \times x_i$ بدست می آید. ایجاد تعادل بار منفی مربوط به ناحیه بار فضایی و لایه وارونگی در یکISFET کانالn نیاز به کاشت ناخالصی نوع دهنده دارد تا بار خالص نیمه‌هادی صفر بدست آید. اگر ناحیه کاشته شده به‌طور کامل در ناحیه بار فضایی در نزدیکی سطح باشد، فرض یک توزیع تقریبی برای یون‌های کاشته شده اجازه می‌دهد که تقریب تخلیه طبق معادله زیر برای چگالی بار تخلیه در غیاب بایاس بدنه برگردد[۱۲].

$$Q_D = qN_{di}x_i - qN_a x_{dmax} = qN' - \sqrt{2qN_a\epsilon_s(|\phi_{ns}| + |\phi_p|) + q^2 x_i N_a N'} \qquad (۱۳)$$

که q بار الکترون، x_{dmax} بیشترین عرض لایه تخلیه،Na نشان‌دهنده غلظت ناخالصی چاه p در یکISFET کانال n، ϕ_{ns} تعیین پتانسیل سطح فرمی متناظر با چگالی نوع دهنده توسط معادله زیر است:

$$\phi_{ns} = \left(\frac{kT}{q}\right) \ln\left(\frac{n_i}{N_{di} - N_a}\right) \qquad (۱۴)$$

و ϕ_p پتانسیل فرمی بدنه است که به‌صورت زیر بیان می‌شود:

$$\phi_p = \left(\frac{kT}{q}\right) \ln\left(\frac{N_a}{n_i}\right) \quad (۱۵)$$

کـه K، T و n_i ثابت بولتزمن، دمای مطلـق و غلظت حامل‌های ذاتی هسـتند. اعمال یک انرژی کاشـت کـم اطمینان می‌دهـد که عمق توزیع یون‌های کاشـته شده از بیشینه عرض ناحیه تخلیه کم‌تر است $x_i<x_{dmax}$. مقـدار معادل بـا دو برابر بازه پیش‌بینی‌شـده، R_p با انرژی کاشـت داده شده ممکن اسـت به‌عنوان مقدار معقولی برای x_i به کار گرفته شود. با مقدار مناسب انتخاب شده برای x_i دوز بهینه کاشت N'، را می‌تـوان بـا جایگزین کـردن معادلـه (۱۲) در (۱۳) و مقدار Q_D را بدست آورد.

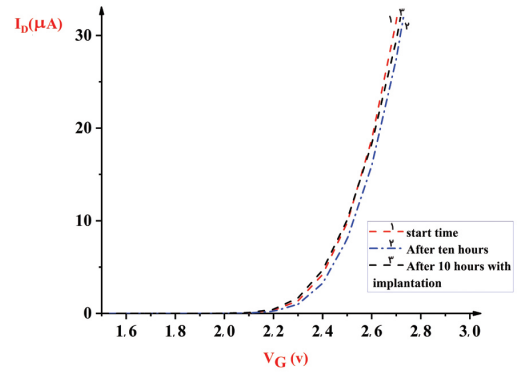
۷-نتایج

پارامترهای شناخته شـده گذردهی نسبی Al_2O_3 مقدار $(\varepsilon AO)_r$=۸.۵ و Q_D=-۴.۸×۱۰$^{-۸}$Ccm^{-2} و چگالـی بار وارون متناظر با جریان درین ۱۰۰ μm، Q_{inv}=-۵.۶×۱۰$^{-۸}$Ccm^{-2} است.

پارامتر استخراج شـده از داده‌های دریفت اندازه‌گیری شده مشخص می‌کنـد، چگالـی بـار مثبت ثابت بین واسـط اکسـید- سـیلیکون Q_I=۷.۴۷×۱۰$^{-۹}$Ccm^{-2}، ضریـب دی‌الکتریک نسـبی لایه تغییر یافته $(\varepsilon SL)_r$=۱.۷، پارامتر پراکندگی β=۰,۴۵۸ و ضخامت نهایی لایه سطحی اصلاح‌شـده $x_{SL}(\infty)$=۱۳.۳۹×۱۰$^{-۸}$cm اسـت.مقدار بهینه کاشت N' می‌تواند به‌گونه‌ای تعیین شود که بار خالص نیمه‌هادی ناپدید شود. با اسـتفاده از فسـفر به عنوان ناخالصی نوع دهنده برای کاشت یونی با انرژی کاشـت ۱۶.۲۵KeV و عمق نفوذ یون‌های کاشـته شـده Rp =۲۰nm می‌باشـد[۱۳]. با انتخاب x_i=۲Rp=۴۰nm، N' را می‌توان بـا آزمون و خطا از معـادلات (۱۲) و (۱۳) تعیین کرد. به‌طور خاص، در دمای اتاق (T=۳۰۰K) با n_i=۱.۴۵×۱۰^{۱۰}cm^{-3}، پتانسیل فرمی بدنه ϕ_p=۰.۳۵V بـرای Na=۱۰۱۶cm^{-3} بـا ε_s=۱۱.۷×۸.۸۵×۱۰$^{-۱۴}$F/cm بر اساس معادلات (۱۲) و (۱۳) مقدار N'=۶.۵۸× ۱۰^{۱۱}cm^{-2} بدست می‌آید.

روش پیشـنهادی برای تصحیح دریفتISFET با شبیه‌سازی قطعه به وسـیله نرم‌افزار ATLAS نیز تایید شد. تغییر در دریفت ولتاژ آستانه در پاسـخ به مقادیر مختلف کاشت یونی تعیین شد تا تاثیر سازگاری آسـتانه –تنظیم کاشت یونی در تصحیح دریفتISFET را تایید کند. نمودار(۲) سه مشخصه I_D-V_G شبیه‌سازی شده مربوط به ISFET پس از قرار گرفتن اولیه در الکترولیت، بعد از قرار گرفتن در طول یک بازه ۱۰ سـاعته و بعد از قرار گرفتن در طول یک بازه ۱۰ ساعته با کاشت یونی جهت تنظیم ولتاژ آسـتانه را نشـان می‌دهد که مشـخصه دوم جریان- ولتاژ به سمت راست حرکت کرده و باعث تغییر ولتاژ آستانه و ناپایداری می‌شود، اما با کاشت یونی و مقدار دوز ۳.۲۵ × ۱۰^{۱۱}cm^{-2} و با گذشـت ۱۰ ساعت از قرار گرفتن در الکترولیت مشخصه جریان- ولتاژ سـوم ISFET به حالت اولیه بازگشـته و ناپایداری ولتاژ آستانه (دریفت) از بین می رود. تغییر زمانی شبیه‌سازی شده در نمودار(۲) با اندازه دریفت اندازه‌گیری شده همخوانی دارد که نشان‌دهنده دریفت ولتاژ آسـتانه حدود۵۰ mv در فاصله ۱۰ سـاعت اسـت و همچنین جهت صحیح دریفت را نشان می‌دهد.

علاوه بر این، نمودار(۲) یک پیوند یونی سـازگار با اسـتفاده از مقدار بهینه ۳.۲۵ × ۱۰^{۱۱}cm^{-2} که براساس شبیه‌سازی ATLAS تعیین شده و همچنیـن حـذف دریفت را نشـان می‌دهد. از آنجا کـه دوز بهینه تحلیلی N' براسـاس تقریب توزیع برای یون‌های کاشته شده به دست می‌آیـد، مقدار شبیه‌سـازی شـده ۳.۲۵ × ۱۰^{۱۱}cm^{-2} با اسـتفاده از توزیع‌های دقیق‌تر، مانند توزیع گوسـین می‌تواند به‌عنوان یک برآورد بهتـر برای N' عمل کنـد. بنابراین نتایج شبیه‌سـازی قطعه نه تنها با رفتار دریفت پیش‌بینی شـده توسط مدل فیزیکی کمی برای دریفت همخوانی دارد، بلکه روش پیشـنهادی را بـرای تاثیر تصحیح دریفت بر مبنای تنظیم چگالی بار الکتریکی با اسـتفاده از کاشت یونی تایید می‌کند.



نمودار۲ : اثر کاشت یون در تنظیم ولتاژ آستانه

مراجع

[1]P. Bergveld, “Development of an ion-sensitive solid-statedevice for neurophysiological measurements,” IEEE Trans.Biomed. Eng., vol. BME-17, no. 1, pp. 70–71, Jan. 1970.

[2] Begveld, P., Sibbald, A. , “Comprehensive Analytical chemistry”, vol. xxiii, Elsevier science Publishers B.V. ,Amsterdam ,1988.

[3] J. Bausells, J. Carrabina, A. Errachid, and A. Merlos, “Ion-sensitive eld-e ect transistors fabricated in a commercial cmos technology” Sensors and Actuators B: Chemical,vol. 57, no. 1-3, pp. 56-62, 1999.

[4] S. Jamasb, “An analytical technique for counteracting drift in ionselective field effect transistors (ISFET’s),” IEEE Sensors J., vol. 4,no. 6, pp. 795–801, Dec. 2004.

[5] M. P. Das and M. Bhuyan, “Drift and temperature compensation scheme for an intelligent ion-sensitive field effect transistor sensorysystem,” in Proc. 5th Int. Conf. Comput. Devices Commun. (CODEC), pp. 1–4, 2012.

[6] B. Premanode, N. Silawan, and C. Toumazou, “Drift reduction in ion-sensitive FETs using correlated double sampling,” Electron. Lett.,vol. 43, no. 16, pp. 857–859, Aug. 2007.

[7] S. Shah and J. B. Chrsite, “Pulse width modulation circuit for ISFET drift reset,” in Proc. IEEE Sensors Conf., Baltimore, MD, USA,pp. 1–4, 2013.

[8] M. Kalofonou and C. Toumazou, “A low power sub-μW chemical gilbert cell for ISFET differential reaction monitoring,” IEEE Trans. Biomed. Circuits Syst., vol. 8, no. 4, pp. 565–574, Aug. 2014.

[9] K. Mukai et al., “Growth of a sputtered Ta2O5/ZnO film and its application to an ion-sensitive field-effect transistor,” in Proc. IEEE, Int. Meeting Future Electron Devices, Suita, Japan,pp. 46–47, 2013.

[10] S. Jamasb, S. D. Collins, and R. L. Smith, “A physical model for threshold voltage instability in Si3N4-gate H+-sensitive FET’s (pH ISFET’s),” IEEE Trans. Electron Devices, vol. 45, no. 6, pp. 1239–1245, Jun. 1998.

[11] I.-Y. Chung et al., “Simulation study on discrete charge effects of SiNW biosensors according to bound target position using a 3D TCAD simulator,” Nanotechnology, vol. 23, no. 6, Feb. 2012, Art. no. 065202.

[12] R. S. Muller and T. I. Kamins, Device Electronics for Integrated Circuits, 2nd ed. New York, NY, USA: Wiley, 1986, ch. 9.

[13] R. S. Muller and T. I. Kamins, Device Electronics for Integrated Circuits, 2nd ed. New York, NY, USA: Wiley, 1986, ch. 2.

***