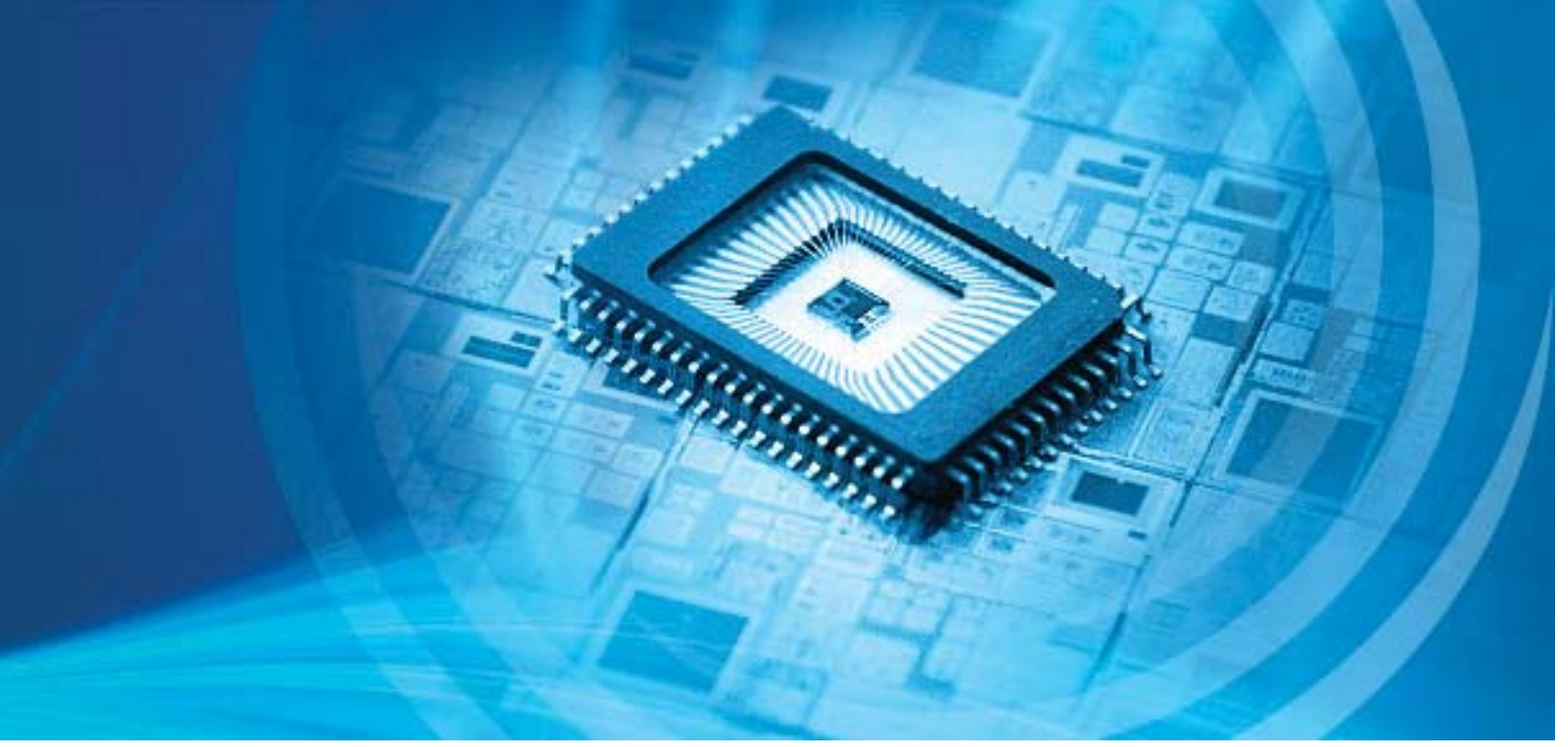


چالش‌های طراحی آی سی‌های دیجیتال در فرآیندهای ساخت نانومتری

مسعود هوشمند کفاشیان/ شرکت مخابرات استان خراسان رضوی/
m.houshmand@gmail.com

چکیده:
مدارهای مجتمع دیجیتال (یا آی‌سی‌های دیجیتال) امروزه در سیستم‌های کامپیوتری و مخابراتی بسیار مورد استفاده قرار می‌گیرند. افزودن کارکردهای هر چه بیشتر به سیستم، نیاز به افزایش کارایی[1] و در عین حال کاهش قیمت در مدارهای مجتمع، روند "کوچک-مقیاس شدن[2]" فناوری را موجب شده است. اما کوچک-مقیاس شدن شتابان فناوری به‌ویژه در گره‌های فناوری[3] کوچک‌تر از 45nm چالش‌های بزرگی را ایجاد نموده است. در این گره‌های فناوری از یک سو حفظ دقت نسبی پارامترهای افزاره‌ها[4] و خطوط واصل دشوارتر است و از سوی دیگر حفظ سطح کارایی مطلوب (برای مثال سرعت پردازش ریزپردازنده‌ها در سیستم‌های پردازشی) در طول عمر بسیاری از قطعات تجاری به یک مساله مهم تبدیل شده است. در عین حال مصرف توان پویا و به‌ویژه توان نشتی، به دغدغه‌ی مهمی در طراحی مدارهای مجتمع دیجیتال تبدیل شده است، این در حالی است که مصرف توان به ویژه در کاربردهای پرتابل همچون گوشی تلفن همراه و یا تبلت‌ها و لپ‌تاپ‌ها بسیار پر اهمیت است. در این پژوهش مهمترین چالش‌های طراحی مدارهای دیجیتال در محدوده‌ی نانومتری مورد بررسی قرار می‌گیرند.

کلید واژه: مدارهای دیجیتال نانومتری، قابلیت اطمینان، تغییرپذیری، توان نشتی.

۱ – مقدمه

با افزایش مستمر تقاضا در خصوص قابلیت‌های سیستم‌های دیجیتال، مجتمع‌سازی هر چه بیشتر در مدارهای دیجیتال CMOS ضرورت بیشتری می‌یابد. اما با کوچکتر شدن ابعاد ترانزیستور (به‌ویژه فراتر از فناوری 45nm) مصرف توان نشتی و حساسیت نسبت به تغییرات فرآیند و قابلیت اطمینان (پیر شدگی[5]) بسیار افزایش یافته است و آنها را به چالش‌های مهم طراحی دیجیتال تبدیل کرده است.

جدول ۱ مقادیر طول گیت ترانزیستور، ضخامت اکسید ترانزیستور و ولتاژ تغذیه در مدارهای مجتمع دیجیتال را برای سال‌های اخیر و نیز چند سال آینده بر اساس داده‌های موسسه بین‌المللی نقشه راه برای نیمه رساناها (ITRS[6]) نشان می‌دهد [۱].

جدول ۱- مقادیر طول گیت، ضخامت اکسید و ولتاژ تغذیه برای سالهای مختلف بر اساس داده های ITRS[۱]

Year	L_G (nm)	EOT (nm)	V_{DD} (V)
2003	45	1.3	1.2
2005	32	1.2	1.1
2007	25	1.1	1.1
2009	20	0.9	1.0
2011	16	0.6	1.0
2013	13	0.5	0.9
2015	10	0.5	0.9

همانطـور که در این جدول دیده می‌شود ابعاد فیزیکی و ولتاژ تغذیه بـه یک میزان کاهش نیافته‌انـد و در نتیجه شدت میدان الکتریکی و چگالی توان رو به افزایش بوده است. این امر در کنار افزایش دماهای کاری، موضوع قابلیت اطمینـان (پیرشدگی) در مدارهایی با مقیاس نانو را هر چه مهمتر می سازد.

همچنیـن تلرانس‌هـای تولید در فنـاوری فرآیند ساخـت، به علت محدودیت‌های کنترل فرآیند، همگام با طول کانال ترانزیستور کوچک نشده‌اند. از دیگر سو تغییرپذیری‌های ناشی از محدودیت‌های فیزیکی اساسی با کوچک-مقیاس شدن تکنولـوژی افزایش زیادی داشته‌اند. در نتیجـه‌ی این عوامـل، بـا کوچک-مقیاس تر شـدن تکنولوژی، تغییرپذیری به یکـی از چالش‌های اساسی صنعت نیمه رسانا تبدیل شده اسـت[۱] چرا که تغییرات فرآیند بـر بیشینه‌ی فرکانس پالس ساعت و توان نشتی در مدارهای دیجیتال بسیار موثر است.

از سـوی دیگر با کاهـش ضخامت اکسید گیت، دیگـر اکسید گیت نمی‌توانـد ولتاژهـای تغذیه سنتـی 3.3V و 5V را تحمل کند [۲] و کاهش ولتاژ تغذیه مستلزم کاهش ولتاژ آستانه است. اما کاهش ولتاژ آستانه به نوبه خود منجر به افزایش هدایت زیر-آستانه می‌شود که به مفهـوم افزایش نمایی مصرف توان نشتی است. مضاف بر آنکه کاهش ضخامـت اکسید گیت خود موجب افزایش نشتی گیت نیز شده است که از تونل‌زنی مستقیم حامل‌ها از میان عایق گیت حاصل می‌شود.

در این مقالـه به بررسی چالش‌های طراحـی مدارهای دیجیتال نانو شامـل تغییرپذیـری در فرآیند (ایستـا)، تغییرپذیـری پویا (قابلیت اطمینان و پیرشدگی) و نشتی می‌پردازیم.

۲- تغییرپذیری در فرآیند[۷] (تغییر پذیری ایستا)

تغییرپذیـری در فرآینـد ساخت مدارهای مجتمـع زیر 100nm یک چالـش عمده است [۳]. تغییر پارامترهای افزاره بر دو شاخص تاخیر (یـا به تعبیر دیگر سرعت) و توان (به‌ویژه مولفه نشتی در توان) تاثیر می‌گـذارد. به علت وابستگـی تغییرات فرآیند بـه موقعیت مکانی[۸]، تغییرات فرآیند به دو دسته تقسیم می شوند. تغییرات بین تراشه‌ای[۹] و تغییرات درون تراشه‌ای[۴]. تغییرات بین تراشه‌ای معرف جابجایی تصادفـی در مقدار میانگیـن همه‌ی افزاره‌ها و اتصـالات میانی روی تراشـه است. به عبارت دیگر، این تغییرات همـه افزاره ها و اتصالات میانی روی یک تراشه را به‌طور مشابه تحت تاثیر قرار می‌دهد (معمولا تغییـرات در ضخامـت اکسید ترانزیستور چنین اسـت). اما تغییرات درون تراشه‌ای بر افزاره‌ها و اتصالات میانی مختلف بر روی یک تراشه ، بطـور متفاوتی تاثیر می گـذارد (برای مثال نوسـان میزان آلایش در یـک تراشه). اگر یـک پارامتر تصادفی مثـل x را با توزیع گوسی در نظـر بگیریم می‌توان مقدار میانگین آن را بـا μ_x و انحراف معیار آنـرا با σ_x نشان داد. در این صورت میـزان تغییرات پارامتر x معمولا بـا تغییرپذیـری[۱۱] آن سنجیده مـی شود که به شکـل σ_x/μ_x تعریف می‌گـردد[۴]. تغییرپذیری بر بازده[۱۲] تراشه‌هـا تاثیر می‌گذارد. بازده به صورت احتمـال اینکه یک تراشه محدودیت‌هـای زمانی(سرعت) و مصـرف تـوان را برآورده کند تعریف می‌گـردد. پس از ساخت یک تراشـه علاوه بر کارکـرد، مشخصات زمانی و مصرف تـوان آن مورد آزمایش قرار می‌گیرد و چناچـه در محدوده‌ی مجاز (و یا محدوده‌ی قابل جبران‌سازی) نباشد به دور انداخته می‌شود.

مهمتریـن چالش‌های تغییرپذیری در مدارهـای نانومتری عبارتند از [۵]:

۲-۱ نوسان تصادفی آلاینده (RDF[۱۳]) در ترانزیستورها

نوسانات تصادفی آلاینده (که در ایجاد ترانزیستور برای تعریف نواحی نـوع n و نـوع p به کـار می‌روند) چه به لحاظ تعـداد و چه به لحاظ موقعیت بـا کوچکتر شدن فناوری اهمیت بیشتری می‌یابد چرا که با کوچکتر شدن فناوری تعداد اتم‌ها در کانال ترانزیستور کاهش می‌یابد. این تغییرات بر ولتاژ آستانه ترانزیستور تاثیر می گذارد.

۲-۲ تغییرپذیری طول کانال ترانزیستور

بـا کوچک شدن ابعاد ترانزیستـور، محدودیت‌های لیتوگرافی مهمتر می‌شونـد و موجب نوسان در طول کانال می‌شود. طول کانال (L) نیز بـه ویژه بر جریـان درایو (I_D)، ($I_D \approx 1/L$) و ولتاژ آستانه (V_{th}) موثر است. در افزاره‌های کوتاه-کانال، V_{th} بطور نمایی به L وابسته است.

۲-۳ تغییرات مربوط به اکسید گیت در ترانزیستور

این تغییرات شامل تغییـرات ضخامت اکسید (موثر بر ولتاژ آستانه)، بارهـای ثابـت در اکسید (موثر بر موبیلیتی و ولتـاژ آستانه) و عیوب و تله‌هـای موجود در اکسید (موثر بر فروسایـی موبیلیتی الکترون و بی‌ثباتی در ولتاژ آستانه می‌شود.)

۲-۴ کرنش[۱۴] در سیلیکون

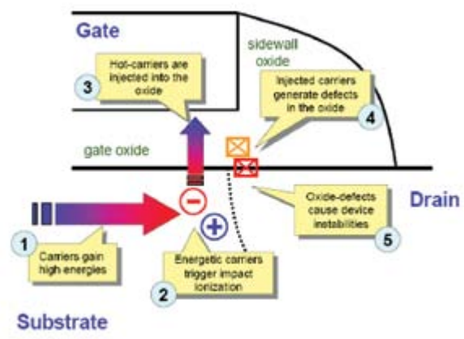
فرآیندهـای ساخت، ویفـر سیلیکونی را در معـرض تاثیرات دمایی، شیمیایی و مکانیکی مختلفی قرار می‌دهد که موجب کرنش سیلیکون می‌شود و این کرنش بر جرم موثر، موبیلیتی، نفوذپذیری آلاینده‌ها و آهنگ اکسیداسیون تاثیر می‌گذارد. در نتیجه این تاثیرات، نهایتا ولتاژ آستانه می‌تواند تحت تاثیر قرار گیرد.

۳- قابلیت اطمینان[۱۵] یا تغییرپذیری پویا

با گذشت زمـان برخی مشخصه های مدارهـای مجتمع دچار تغییر می‌شـود که مـی تواند بر سرعت یا عملکرد مـدار موثر باشد و بدین ترتیـب قابلیت اطمینان مدار را تحت تاثیر قـرار دهد (بر این اساس یـک طول عمر برای تراشه‌هـا تعریف می‌شود که معمـولا بین ۳ تا ۱۰ سال است). به عبارت دیگـر قابلیت اطمینان همان استحکام در مقابـل تغییرپذیری در طول زمان (تغییرپذیری پویا) است. مهم‌ترین چالش‌های تغییرات قابلیت اطمینان در مدارهای نانو عبارتند از:

۳-۱ شکست دی الکتریک وابسته به زمان (TDDB[۱۶]) در ترانزیستور

بـه مـرور زمان بارهایـی در اکسید گیت بـه دام می‌افتند که میدان الکتریکـی بـه وجود می‌آورنـد. افزایش این بارها و میـدان ناشی از آنهـا، سرانجام موجب شکست دی الکتریک در برخی نقاط ضعیفتر و هدایت آن نواحی می‌شود. با جاری شدن جریان در این قسمت‌ها دی



شکل ۱- ساز وکار تزریق حاملهای داغ

الکتریک گرمتر می‌شود و نواحی بیشتری دچار شکست می‌شود[۶].

۳-۲ تزریق حامل‌های داغ (HCI[۱۷]) در ترانزیستور

در نتیجه ی وجود میدان‌های الکتریکی قوی در ترانزیستور، حامل‌های پـر انرژی پدید می‌آیند که بـه حامل‌های داغ مشهورند. این حامل‌ها مـی توانند موجب یونیزاسیون برخوردی[۱۸] شوند و سپس در لایه‌های دی الکتریـک مجاور نیمـه رسانا (اکسید گیت) نفـوذ کنند و نهایتا می‌تواننـد بر جریان زیر آستانه و ولتاژ آستانه موثر باشد[۷]. شکل ۱ سازوکار رخداد این پدیده را نشان می‌دهد.

۳-۳ جابجایی الکتریکی[۱۹]

بـا حرکت الکترون‌هـا در سیم‌های رسانای تغذیه (کـه در مدارهای نانومتـری پهنای بسیار کمی دارند) یون‌هـای فلزی نیز ممکن است جابجا شوند و نهایتا موجب اتصال کوتاه (شکل ۲) یا اتصال باز (شکل ۳) در سیم‌ها شود [۷].

۳-۴ خطاهای نرم[۲۰]

خطاهـای نرم، خطاهـای گذرایی هستند کـه در مدارهای VLSI به علـت برخی تشعشعـات رخ می‌دهند. این تشعشعـات معمولا به دو شکـل هستند: ۱) ذرات آلفا که از ناخالصی‌هـای رادیواکتیو در مواد بسته‌بنـدی و مدارهـای مجتمع ناشـی می‌شونـد و ۲) نوترون‌های پرانرژی کـه از برهم-کنش اشعه‌های کیهانی و اتمسفر زمین حاصل می‌شوند. برخورد یـک ذره آلفا به یک بستر سیلیکون به هنگام گذر از پیوندهـای p-n ، تولیـد زوج الکترون-حفره می‌نماید. برخورد یک نوترون مستقیما ماده را یونیزه نمی‌کند ولی در نتیجه برخورد آنها به اتم‌ها، محصولاتی تولید می‌شود که قادر به ایجاد زوج الکترون-حفره می‌باشنـد. بارهای حاصل با مکانیزم‌هـای رانش[۲۱] و پخش[۲۲] منتقل شـده و پالس‌های جریانی ایجاد می‌کننـد که می‌تواند ولتاژ گره‌ها را دچـار اغتشاش کند و منجر به خطاهای نرم شود. این اغتشاش ولتاژ گره‌هـا، در عناصر حافظه می‌تواند منجر بـه تغییر وضعیت یک بیت (تغییر صفر به یک یا برعکس) شود[۸].

۳-۵ دشارژ الکترو استاتیک[۲۳] (ESD)

یکی از مشهورترین منابع دشارژ الکترواستاتیک، شوک ناشی ازلمس دستگیره‌ی فلزی یک در، پس از راه رفتن بر روی اتاق مفروش است. کشیـده شدن کفش بر روی فرش در بـدن تولید الکتریسیته ساکن می‌کنـد کـه با لمس یک شی رسانـا تخلیه می‌شود. نوعـا این ولتاژ الکترواستاتیک می‌تواند تا چنـد کیلو ولت مقدار داشته باشد؛ از این رو اگـر دشارژ از طریـق یک افزاره نیمه رسانا انجـام پذیرد می‌تواند باعـث خرابی آن شود (گرچه زمان این تخلیه معمولا کمتر از 100ns است). بـه این پدیده دشـارژ الکترواستاتیک گفته می‌شـود [۹]. با کوچک-مقیـاس تر شدن فناوری، به علـت کاهش ضخامت اکسید، میدان‌هـای الکتریکی ناشی از ولتـاژ الکترواستاتیک بزرگتر و اثر آن مخربتر می‌شود.

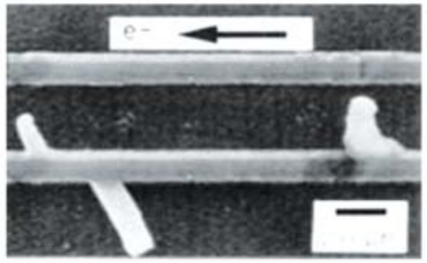
۳-۶ بی ثباتی دمایی ناشی از بایاس (BTI[۲۴])

NBTI[25] هنگامـی کـه ترانزیستور PMOS بایـاس منفی شده است (Vgs=-Vdd) و در دماهـای افزایـش یافته، اتفـاق می‌افتد و موجب افزایـش قدر مطلق ولتاژ آستانـه (Vth) می‌شود. با گذشت زمان‌های طولانی این تغییر ولتـاژ آستانه می‌تواند تاخیر ترانزیستور PMOS را افزایش دهد، در حدود ۱۰ تا ۲۰ درصد سرعت مدار را کاهش دهد، و یا به از کار افتادن مدار منجر شود[۱۰]. این پدیده همچنین می‌تواند باعـث افزایش محدودیت‌های زمان برقـراری[۲۶] و زمان نگهداری[۲۷] در فلیپ فلاپ‌های مدارهای دیجیتال شود[۱۱].

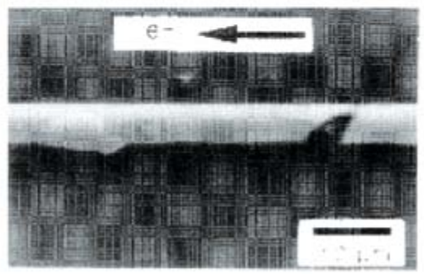
نتایـج تجربی نشان می دهد که NBTI بطـور نمایی با نازکتر شدن اکسید گیـت و دمای کاری بدتر می‌شود. میـزان تغییر ولتاژ آستانه ترانزیستور در نتیجه‌ی NBTI به چرخه‌ی کاری[۲۸][۱۲] وابسته است. شکل۴ این وابستگی را برای یک تکنولوژی 90nm نشان می‌دهد.

۴- جریان‌های نشتی

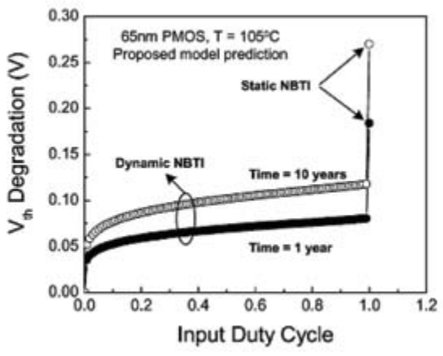
جریان‌هـای نشتی، جریان‌های ناخواسته‌ای هستند که در ترانزیستور جاری می‌شونـد. با کوچک شدن ابعاد ترانزیستور، برای تحت کنترل نگـه داشتن مصرف توان، ولتاژ تغذیه نیز کاهش یافته است. اما برای کافی نگه داشتن جریان درایو و بهبود کارایی، لازم بوده است که ولتاژ آستانه نیز کاهش یابد. از سوی دیگر کاهش ولتاژ آستانه باعث افزایش چشمگیر جریان نشتی زیرآستانه می شود[۱۳]. بنا به اطلاعات ITRS،



شکل۲- جابجایی الکتریکی-اتصال کوتاه



شکل ۳- جابجایی الکتریکی-اتصال باز



شکل ۴- فروسایی NBTI برای چرخه‌های کاری متفاوت سیگنال ورودی

به علت افزایش بسیار در جریان نشتی، انتظار می‌رود که مصرف توان ایستا حتی از مولفه ی سوئیچینگ مصرف توان نیز بیشتر شود [۱]. در یک مدار CMOS مصرف توان کل شامل مولفه‌های ایستا و پویا در طول مود فعال می‌شود. در حالت ایستا، مصرف توان در نتیجه جریان نشتی آماده به کار[۲۹] است. مصرف توان پویا خود شامل دو مولفه می‌شود: یکی توان سوئیچینگ که صرف شارژ خازن بار می‌گردد و دیگری توان اتصال کوتاه ناشی از زمان‌های صعود و نزول غیر صفر شکل موج ورودی. توان پویا (سوئیچینگ) و توان نشتی به صورت زیر بیان می‌شوند:

$$P_D=\alpha f C V_{dd}^2$$

$$P_{LEAK}=I_{LEAK}.V_{dd}$$

که در آن α ضریب سوئیچینگ، f فرکانس کاری، C خازن بار، V_{dd} ولتاژ تغذیه و I_{LEAK} جمع جریان‌های نشتی ناشی از تمام مولفه‌های نشتی است.

۵- تکنیک‌های مقابله با چالش‌های تغییرپذیری فرآیند، قابلیت اطمینان و نشتی

تلاش‌های جدید در زمینه تغییرپذیری و قابلیت اطمینان، بیشتر بر بهینه سازی توان-کارایی با در نظر گرفتن تغییرپذیری فرآیند و قابلیت اطمینان (پیر شدگی) متمرکز بوده‌اند. با پیشرفت فناوری و کوچک شدن ابعاد ترانزیستور، بی‌ثباتی دمایی ناشی از بایاس در ترانزیستورهای (NBTI PMOS) به عمده‌ترین مساله قابلیت اطمینان تبدیل شده است[۱۴]. بنابر این در خصوص مشکل قابلیت اطمینان تمرکز بیشتر بر روی این پدیده است. تکنیک‌های مداری ارائه شده در حل مساله‌ی تغییرپذیری، قابلیت اطمینان و نشتی تشابه‌های فراوانی با هم دارند.

مهمترین این تکنیک‌ها شامل تنظیم وفقی ولتاژ تغذیه [۱۵]، بایاس وفقی بدنه‌ی ترانزیستور [۱۶]، سایزبندی گیت‌ها [۱۲]، تنظیم چرخه‌ی کاری [۱۲]، به کارگیری حاشیه اطمینان [۱۲]، کنترل بردار ورودی (IVC) [۱۷]، کنترل گره‌های درونی (INC) [۱۸]، ترتیب بندی مجدد پایه‌ها و ساختار بندی مجدد مدار [۱۹] و استفاده از دو ولتاژ آستانه در مدار[۲۰] می‌باشد.

۶- نتیجه‌گیری

با توجه به نیازمندی‌های جدید در دنیای فناوری اطلاعات و ارتباطات، مدارهای مجتمع دیجیتال روز به روز پیچیده‌تر می‌شوند و تعداد ترانزیستورها و نیز سرعت کاری آنها افزایش می‌یابد. بدین منظور تکنولوژی طراحی و ساخت ترانزیستورهای بسیار ریز مورد استفاده قرار می‌گیرد (امروزه تکنولوژی 22nm به یک تکنولوژی صنعتی تبدیل شده است). اما کوچک-مقیاس شدن تکنولوژی چالش‌های مهمی را در طراحی مدارات دیجیتال بسیار مهم کرده است که شامل تغییرپذیری ایستا، قابلیت اطمینان (تغییرپذیری پویا) و جریان‌های نشتی است. این عوامل می تواند بر مصرف توان، فرکانس کاری، بازده تولید تراشه‌ها و یا طول عمر تراشه‌ها تاثیر بگذارد. امروزه بخش عمده‌ای از زمان طراحی تراشه‌های دیجیتال صرف برطرف کردن این چالش‌ها می‌گردد.

***

پی‌نوشت

1.Performance
2.Scaling
3.Technology Nodes
4.Devices
5.Aging
6.International Technology Roadmap for Semiconductors
7.Process Variations
8.Space
9.Interdie
10.Interadie
11.Variability
12.Yield
13.Random Dopant Fluctuation
14.Strain
15.Reliability
16.Time Dependent Dielectric Breakdown
17.Hot Carrier Injection
18.Impact Ionization
19.Electromigration
20.Soft Errors
21.Drift
22.Diffusion
23.Electrostatic Discharge
24.Bias Temperature Instability
25.Negative BTI
26.Setup time
27.Hold time
28.Duty cycle
29.Stand by

مراجع

[1] International Technology Roadmap for Semiconductors (ITRS), <http://public/itrs.net/>
[2] A. Youssef, M. Zahran, M. Anis, and M. Elmasry, "On the Power Management of Simultaneous Multithreading Processors," IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 18, pp. 1243 - 1248, 2009.
[3] J. A. Croon, W. Sansen, and H. E. Maes, Matching Properties of Deep Sub-Micron MOS Transistors. New York: Springer-Verlag, 2005.
[4] M. Orshansky, S. Nassif, and D. Boning, Design for Manufacturability and Statistical Design. New York: Springer-Verlag, 2008.
[5] K. Kuhn, C. Kenyon, A. Kornfeld, M. Liu, A. Maheshwari, W.-k. Shih, S. Sivakumar, G. Taylor, P. VanDerVoorn, and K. Zawadzki, "Managing Process Variation in Intel's 45nm CMOS Technology," Intel Technology Journal, vol. 12, pp. 98-107, 2008.
[6] S.Lombardo, J.H.Stathis, B.P.Linder, K.L.Pey, F.Palumbo, and C.H.Tung, "Dielectric breakdown mechanisms in gate oxides," Journal of Applied Physics, vol. 98, pp. 121301-36 2005.
[7] D. Rittman, "Nanometer Reliability," System Design Frontier, vol. 2, pp. 12-32, 2005.
[8] H. Mostafa, M. Anis, and M. Elmasry, "A Design-Oriented Soft Error Rate Variation Model Accounting for Both Die-to-Die and Within-Die Variations in Submicrometer CMOS SRAM Cells," IEEE Transactions on Circuits and Systems I, vol. 57, pp. 1298-1311, 2010.
[9] C. Duvvury, "ESD On-chip protection in advanced technologies," Tutorial in EOS/ESD Symp, 2003.
[10] S. Borkar, "Electronics beyond nano-scale cmos," in Proceedings of the 43rd ACM/IEEE Design Automation Conference 2006, pp. 807 -808.
[11] H. Abrishami, S. Hatami, and M. Pedram, "Design and Multicorner Optimization of the Energy-Delay Product of CMOS Flip-Flops Under the Negative Bias Temperature Instability Effect," Computer-Aided Design of Integrated Circuits and Systems, IEEE Transactions on, vol. 32, pp. 869-881, 2013.
[12] R. Vattikonda, W. Wang, and Y. Cao, "Modeling and minimization of PMOS NBTI effect for robust nanometer design," in Proceedings of the Design Automation Conf, 2006, pp. 1047–1052.
[13] V. De and S. Borkar, "Technology and Design Challenges for Low Power and High Performance," in Proceedings of the International Symposium on Low Power Electronics and Design, 1999, p. 163−168.
[14] V. Huard, M. Denais, and C. Parthasarathy, "NBTI degradation: From physical mechanisms to modelling," Microelectron. Reliab, vol. 46, pp. 1–23, 2006.
[15] T. K. a. M. Hamada, "Low-Power CMOS Digital Design with Dual Embedded Adaptive Power Supplies," IEEE Journal of Solid-State Circuits, vol. 35, pp. 652-655, 2002.
[16] J. Tschanz, S. Narendra, A. Keshavarazi, and V. De, "Adaptive Circuit Techniques to Minimize Variation Impacts on Microprocessor Performance and Power," in Proceedings of the IEEE International Symposium on Circuits and Systems, 2005, pp. 9–12.
[17] Y. Wang, H. Luo, K. He, R. Luo, H. Yang, and Y. Xie, "Temperature-aware NBTI modeling and the impact of input vector control on performance degradation," in Design, Automation & Test in Europe Conference & Exhibition,DATE '07, 2007, pp. 1 – 6.
[18] Y. Wang, X. Chen, W. Wang, V. Balakrishnan, Y. Cao, Y. Xie, and H. Yang, "On the Efficacy of Input Vector Control to Mitigate NBTI Effects and Leakage Power," in Proceedings of the international Symposium on Quality Electronic Design, 2009, pp. 19-26.
[19] W. Kai-Chiang and D. Marculescu, "Joint logic restructuring and pin reordering against NBTI-induced performance degradation," in Proceedings of the Design, Automation & Test in Europe Conference & Exhibition, 2009, pp. 75 - 80.
[20] M. R. Liqiong Wei Zhanping Chen Johnson, K. De, V. , "Design and optimization of low voltage high performance dual threshold CMOS circuits," in Proceedings of the Design Automation Conference, 1998, pp. 489 - 494